

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10270562  
PUBLICATION DATE : 09-10-98

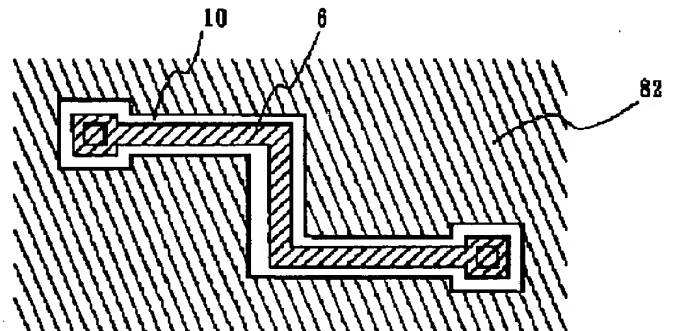
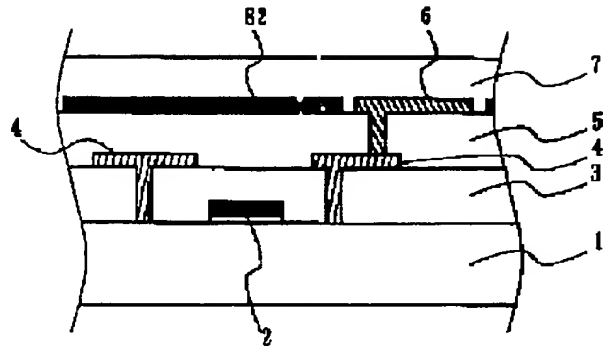
APPLICATION DATE : 27-03-97  
APPLICATION NUMBER : 09075241

APPLICANT : NIPPON TELEGR & TELEPH CORP  
<NTT>;

INVENTOR : BAN KOJI;

INT.CL. : H01L 21/82 H01L 21/3205

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To prevent the inner part of IC from optically and electrically being observed and to prevent the reverse engineering of a semiconductor integrated circuit, by keeping a gap with wirings on insulating films and forming an opaque conductive shielding film on the same layer.

SOLUTION: A polysilicon gate and the wiring 2 are formed on a silicon substrate 1, and a metallic first layer wiring 4 and a metallic second layer wiring 6 are formed on insulating films 3 and 5. Then, an opaque conductive shielding film 82 formed of the same metal as the metallic second layer wiring 6 is formed on the insulating film 6. The metal of the conductive shielding film 82 is brought close to the periphery of the metallic second layer wiring 6 through the gap 10. The gap 10 is the micro gap for securing electric insulation between the metallic second layer wiring 6 and the shielding film 82. Thus, an area except for the gap 10 is optically, electrically and completely shielded by the shielding film 82 in an area to be shielded, and the observation of the inner part of the chip becomes difficult from outside the IC chip.

COPYRIGHT: (C) JPO

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11) 特許出願公開番号

特開平10-270562

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/82  
21/3205

H 0 1 L 21/82  
21/88

Z  
S

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号 特願平9-75241

(22) 出願日 平成9年(1997)3月27日

(71) 出願人 000004226

日本電信電話株式会社  
東京都新宿区西新宿三丁目19番2号

(72) 発明者 丹野 雅明

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 竹田 忠雄

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

(72) 発明者 伴 弘司

東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内

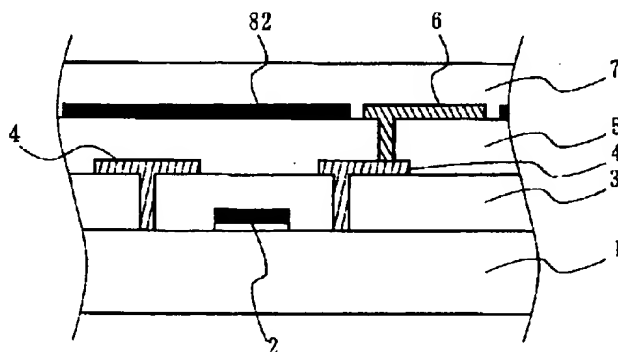
(74) 代理人 弁理士 山川 政樹

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 半導体集積回路のリバースエンジニアリングを防止するために、光学的にも電氣的にも内部観測を阻止する防御機構を有する半導体集積回路を提供する。

【解決手段】 不透明な導電性遮蔽膜(82)を半導体集積回路内部の配線層と同一層に配線(6)とギャップを保って形成した。



## 【特許請求の範囲】

【請求項1】 不透明な導電性遮蔽膜を絶縁膜上の配線とギャップを保って同一層に形成したことを特徴とする半導体集積回路、

【請求項2】 絶縁膜で絶縁分離された複数の配線層を備えた半導体集積回路において、前記複数の配線層のうち2以上の配線層は、前記配線層が形成された絶縁膜上に前記配線層の配線とギャップを保って形成された不透明な導電性遮蔽膜を備えることを特徴とする半導体集積回路、

【請求項3】 請求項2に記載された半導体集積回路において、

前記不透明な導電遮蔽膜を備えた配線層の配線は、絶縁膜を挟んで前記配線層の下他の配線層の配線と接続され、かつ前記他の配線層の回路の一部を形成していることを特徴とする半導体集積回路、

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、詳しくは半導体集積回路の回路情報を不正に観測することを阻害する技術に関するものである。

## 【0002】

【従来の技術】一般的な半導体集積回路（IC）の構造は、半導体チップ表面にトランジスタ、ダイオード等の素子を形成すると共に、チップ表面上に絶縁層と導体層を交互に積み上げた積層構造の配線から成る。ICの回路構造は高度な知的財産が集約されていると共に、IC内部の記憶素子には機密情報が電氣的に記憶されている可能性もあり、違法なリバースエンジニアリングから保護する必要がある。しかしICの導体層はポリシリコン及びアルミニウム等の金属が用いられ、絶縁層にはシリコン酸化膜、シリコン窒化膜といった光学的に透明な材料が用いられている。従って、第三者が表面の露出したICを入手できたならば、光学顕微鏡等の光学観測手段を用意することでIC内部を容易に観察でき、回路情報を解読するいわゆるリバースエンジニアリングが可能となる。また、電子ビームテスト等を利用することでIC内部の電氣的状態も観測可能となる。

【0003】従来のICは、ICチップ自体に内部観測を阻害する構造を有していないものの、一般的にはセラミック製あるいはプラスチック製のパッケージに封止されているため、故意にパッケージを開封しない限りICチップ表面を観測することはできない。また、ICチップをパッケージに封止せずに直接プリント基板等に取り付けるベアチップ実装に於いて、電氣的な接続にワイヤーボンディングを用いる場合は、ICチップ並びにボンディングワイヤーを保護する目的で、不透明なエポキシ樹脂を用いてICチップ全体を封止するため、外部にICチップが露出することはない。導電性のバンパを用いて電氣的な接続を行うフリップチップ方式を用いる場合

は、ICチップ表面が実装基板側に向くため、実装状態ではICチップ表面が露出することはない。

## 【0004】

【発明が解決しようとする課題】しかしながら、これらの従来技術は、ICの耐環境性、耐久性、耐衝撃性、取扱い容易性を向上させることが主目的であり、第三者によるIC封止部分の開封に対する防衛は考えられていない。したがって、セラミックパッケージに封止されたICの場合、鋭利な刃物状のものを用いるか加熱することで封止部分を剥離することが可能であり、容易にICチップ表面を露出させることができる。プラスチックパッケージに封止されたIC及びベアチップ実装されたICに於いても、アセトン等の有機溶剤や発煙硝酸を用いて封止材をICチップから剥離させることが可能である。このような場合、従来技術のICチップは内部観測に対する防衛機構が搭載されていないため、ICチップの開封後、容易にICチップのリバースエンジニアリングが可能となる。本発明の目的は、上記従来の問題点を解決するために、光学的にも電氣的にもIC内部の観測を阻止する構造を有するICを提供することにある。

## 【0005】

【課題を解決するための手段】上述の目的を達成するために、本発明は光学的かつ電氣的な遮蔽手段を半導体集積回路内部の配線層と同一層に形成したものであり、具体的には、請求項1に記載されたように、本発明にかかる半導体集積回路は、不透明な導電性遮蔽膜を絶縁膜上の配線とギャップを保って同一層に形成したことを特徴とする。上記遮蔽膜は不透明であるので、たとえ第三者が不法にICの封止構造を剥離しICチップを露出させても、遮蔽膜の下にあるICのデバイスや回路構造を光学顕微鏡等の光学的な手段によって観察することを阻止する。また導電性を有することから、電子ビームテスト等の電氣的手段にてIC内部を観測しようとしても、導電性遮蔽膜全体が同一電位となるため遮蔽膜より下層の電位分布を観測不可能とする。したがって、本発明にかかる半導体集積回路のリバースエンジニアリングを防止することができる。なお、この導電性遮蔽膜は電氣的にフローティング状態になくてもよく、電源または接地電位を有する配線と電氣的に接続されていても良い。

【0006】さらに上記遮蔽膜と配線は同一層に形成されているため、遮蔽膜のみを除去することが困難である。換言するならば、第三者がIC内部の遮蔽膜を剥離しようとして企てた場合、遮蔽膜の剥離と同時に同一層内の信号配線や電源配線が寸断される。その結果、遮蔽膜を剥離されたICチップは、既に内部回路が破壊されているため、第三者によって不法に内部回路を観測されることはない。これにより、半導体集積回路が持つ知的財産並びに機密情報の漏洩を防ぐことが可能となる。

【0007】上記遮蔽膜には、配線に用いられる材料、たとえば多結晶シリコンやAl、Au、WSiN等の金

屈を用いることができるが、不透明でかつ導電性を有するならばこれらに限定されるものではない、ただし、配線に用いられる材料を使用すれば、半導体集積回路の製造プロセスと親和性は非常に良好であるという利点がある。また、遮蔽膜と配線を異なる材料を用いて形成してもよいが、同一の材料で形成すれば、半導体集積回路製造プロセスが簡単で済むという利点があると同時に、機械的手段または化学的手段を用いて遮蔽膜のみを除去することが一層困難となる。

【0008】本発明にかかる半導体集積回路は、一層の配線層を有するものであっても多層配線構造を有するものであってもよい。その中でも、請求項2に記載された発明は、特に多層配線構造を有する半導体集積回路に関するものであり、複数の配線層のうち2以上の配線層が、前記配線層が形成された絶縁膜上に配線とギャップを保って形成された不透明な導電性遮蔽膜を備えることを特徴とする。複数の配線層のうち一つの配線層に上記遮蔽膜を設ければ、それより下のICの構造を光学的にも電氣的にも観測することを阻害することができるが、上記遮蔽膜を2以上の配線層に設けるようにすれば、上層にある遮蔽膜が剥離されても下層の遮蔽膜によってそれより下の回路構造や電位分布が不法に観測されることを防ぐことができ、リバースエンジニアリングをより効果的に防止することができる。

【0009】さらに請求項3に記載された発明は、多層配線構造を有する半導体集積回路において、上記不透明な導電性遮蔽膜を備えた配線層の配線が、その配線層の下の配線と接続され、かつ前記他の配線層の回路の一部を形成していることを特徴とする。このような構成を有する半導体集積回路では、上記遮蔽膜を備えた配線層の配線およびその下の配線層の配線とで回路を構成するため、半導体集積回路の機能を分析する上で各配線層の配線単独は意味をなさない。したがって、上記遮蔽膜を除去することによってその配線層の配線が失われた場合、もはや半導体集積回路の内部情報を観測することは不可能となり、リバースエンジニアリングをより効果的に防止することができる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。図1は、本発明の第1の実施の形態にかかる半導体集積回路の構造を示す断面図である。本実施の形態にかかる半導体集積回路は、シリコン基板1上にポリシリコンのゲート及び配線2が形成され、絶縁膜3、5の上にそれぞれ金属第1層配線4、金属第2層配線6が形成された多層配線構造を有する。なお、金属第2層配線はパッシベーション膜7によって覆われている。本実施の形態においては、絶縁膜6上には金属第2層配線6と同一金属からなる不透明な導電性遮蔽膜82が形成されている。この遮蔽膜82は、電氣的にフローティング状態になくてもよく、電源また

は接地電位を有する配線と電氣的に接続されていてもよい。

【0011】図2は、上記第1の実施の形態にかかる半導体集積回路の構造を示す平面図である。これにより絶縁膜6上における金属第2層配線と遮蔽膜82の配置を示す。遮蔽膜82は、金属第2層配線6の周辺にギャップ10を介して導電性遮蔽膜の金属が接近している。このギャップ10は、金属第2層配線6と遮蔽膜82との間の電氣的絶縁を確保するための微小間隔とする。すなわち、絶縁膜7の遮蔽すべき領域のうちギャップ10を除く部分を遮蔽膜82で覆う構造である。したがって、遮蔽すべき領域のうちギャップ10以外の領域は遮蔽膜82によって光学的にも電氣的にも完全に遮蔽され、ICチップ外からチップ内部の観測は困難となる。

【0012】本実施の形態にかかる半導体集積回路を製造する際には、上述のような遮蔽膜82は、一般的に行われているフォトリソグラフィとエッチングによって金属第2層配線6と同時に形成することができる。すなわち、絶縁膜5上にスパッタリングやCVDにより金属材料層を一様に形成する。上記金属材料層にレジストを塗布しマスクを用いて配線パターンを露光する。このマスクは、遮蔽膜に相当する部分も配線部分と同様に光を透過または遮光するものである。このようなマスクを用いて得られたレジストパターンに対してエッチングを施し、上記金属材料層のうちギャップ10に相当する部分を除去することにより、金属第2層配線6および遮蔽膜82を形成することができる。

【0013】なお、本実施の形態では、最上金属配線層に、すなわち金属第2層配線と同一層6に遮蔽膜82を形成したが、下層配線層、すなわち絶縁膜3上に金属第1層配線と同一層に遮蔽膜を形成してもよい。

【0014】次に本発明の第2の実施の形態について説明する。図3は、第2の実施の形態にかかる半導体集積回路の構造を示す断面図である。図3によれば、本実施の形態にかかる半導体集積回路は、図1に示したのと同様に、シリコン基板1上にポリシリコンのゲート及び配線2が形成され、その上に金属第1層配線4、金属第2層配線6が形成された多層配線構造を有する。ただし、本実施の形態においては、絶縁膜5上に遮蔽膜82が設けられているのに加え、絶縁膜3上にも遮蔽膜81が設けられているのが特徴である。換言するならば、多層配線構造を有する半導体集積回路において、金属第1層配線4および金属第2層配線と同一層にそれぞれ遮蔽膜81および82が形成されている。このように複数の配線層に不透明な導電性遮蔽膜を設けることによって、仮に遮蔽膜82が剥離されても遮蔽膜81によってそれより下の回路構造や電位分布が不法に観測されることを防ぐことができる。

【0015】次に本発明の第3の実施の形態として、遮蔽膜と同一層にある配線が下層の配線の一部を形成する

構成を図4の断面図に示す。図4は、金属第2層配線の上に設けた絶縁膜9上に遮蔽膜83と金属第3層配線11を形成した半導体集積回路の構成を示している。ここで、図4を図1と比較すると、本実施の形態にかかる半導体集積回路においては、絶縁膜5上では切断されている金属第2層配線6a、6bが絶縁膜9上に引き上げた配線11によって接続されている。すなわち、遮蔽膜83と同一層の金属第3層配線は、絶縁膜5上に形成された金属第2層配線6a、6bとともに一つの回路を形成しているところに特徴がある。

【0016】このような構造において仮に遮蔽膜83を剥離した場合、金属第2層以下の信号配線層から遮蔽膜と同一層に引き上げた金属第3層配線11もともに除去される結果、IC内部配線が寸断され、内部回路が原型を留めない。したがって、不法なリバースエンジニアリングを阻止することができる。さらに、下層配線から遮蔽膜と同一層に引き上げた金属第3層配線11を適宜設けることにより、遮蔽膜83はICの配線レイアウトに左右されることなくICチップのほぼ全面を遮蔽できる。

【0017】

【発明の効果】本発明によれば、半導体集積回路内の配線層に不透明な導電性遮蔽膜を設けたので、遮蔽膜の下にあるICのデバイスや回路構造や電位分布を第三者が光学顕微鏡等の光学的な手段や電子ビームテスト等の電気的手段によって観測することを阻止することができる。また、上記遮蔽膜と配線は同一層に形成されるため、遮蔽膜を除去することによって同一層内の信号配線や電源配線が寸断される。したがって、本発明にかかる半導体集積回路のリバースエンジニアリングを防止することができ、IC外部の封止状態や実装状態に左右され

ることなく、IC内部の存在する知的財産並びに機密情報の漏洩を防止できるという効果を有する。

【0018】特に、請求項2に記載された発明によれば、複数の配線層に不透明な導電性遮蔽膜を設けることにより、IC内部の観測を光学的にも電氣的にも一層効果的に阻害することができる。また、第三者が不法に一の配線層の遮蔽膜を剥離しても、他の配線層の遮蔽膜によってその遮蔽膜より下層の構造を観測することを阻害することができる。

【0019】また、請求項3に記載された発明によれば、上記遮蔽膜を備えた配線層の配線がその下の配線層の回路の一部を形成しているので、上記遮蔽膜を除去することによってその配線層の配線が失われた場合、もはや半導体集積回路の内部情報を観測することは不可能となり、リバースエンジニアリングをより効果的に防止することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態にかかる半導体集積回路の構造を示す断面図である。

【図2】 本発明の第1の実施の形態にかかる半導体集積回路の構造を示す平面図である。

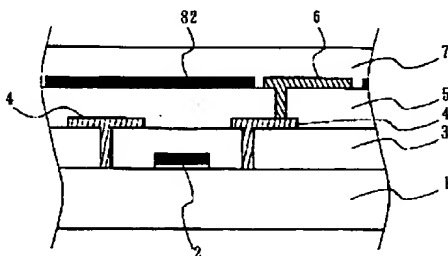
【図3】 本発明の第2の実施の形態にかかる半導体集積回路の構造を示す断面図である。

【図4】 本発明の第3の実施の形態にかかる半導体集積回路の構造を示す断面図である。

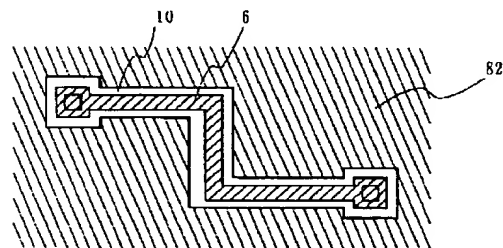
【符号の説明】

1…シリコン基板、2…ポリシリコンゲート及び配線、3、5、9…絶縁膜、4…金属第1層配線、6、6a、6b…金属第2層配線、7…パッシベーション膜、81、82、83…遮蔽膜、10…ギャップ、11…金属第3層配線。

【図1】



【図2】





**THIS PAGE BLANK (USPTO)**